

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月24日

出 願 番 号

Application Number:

特願2003-079349

[ST.10/C]:

[JP 2003-079349]

出 願 人

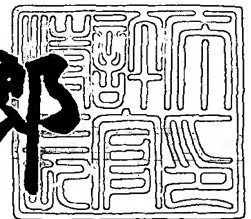
Applicant(s):

株式会社日立製作所

2003年 7月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3052756

【書類名】 特許願

【整理番号】 D03000291A

【あて先】 特許庁長官殿

【国際特許分類】 H01J 29/04

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所デジタルメディア開発本部内

【氏名】 甲 展明

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所デジタルメディア開発本部内

【氏名】 渡辺 敏光

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所デジタルメディア事業部内

【氏名】 小寺 喜衛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製
作所日立研究所内

【氏名】 鈴木 睦三

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
製作所デジタルメディア開発本部内

【氏名】 大石 哲

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

互いに対向して配置された背面基板と前面基板とを有し、該前面基板上に設けられた蛍光体に、電子を照射するための複数の電子放出素子が前記背面基板にマトリクス状に配置された表示装置において、

前記複数の電子放出素子のうち、少なくとも 1 行の電子放出素子を選択する選択期間内に、入力映像信号に基づいて生成された、互いに異なるレベルを持つ少なくとも 2 つの駆動電圧を前記選択された電子放出素子に印加可能にしたことを特徴とする表示装置。

【請求項 2】

前記入力映像信号は、デジタル形式の映像信号であり、該デジタル形式の映像信号のビット数を変換して得られたデジタル信号に基づいて、前記少なくとも 2 つの駆動電圧を生成することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

互いに対向して配置された背面基板と前面基板とを有し、

前記背面基板に、画面水平方向に延びる複数の走査電極と、画面垂直方向に延びる複数の信号電極と、該複数の走査電極と該複数の信号電極の各交点に配置された電子を放出するための複数の電子放出素子とが設けられ、前記前面基板に、前記電子放出素子からの電子が照射されて発光する蛍光体が設けられた表示装置において、

前記走査電極には、前記複数の電子放出素子のうち、少なくとも 1 行の電子放出素子を所定期間選択するための選択電圧が印加され、前記信号電極には、前記電子放出素子を駆動させるための入力映像信号に応じたレベルを持つ駆動電圧が印加され、

前記選択電圧の出力期間で定まる選択期間を複数の期間に分割し、該分割期間のそれぞれに、前記駆動電圧を与えるようにしたことを特徴とする表示装置。

【請求項 4】

前記分割期間ごとに前記信号電極に印加される駆動電圧のレベルを変えることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

画面水平方向に延びる複数の走査電極と、画面垂直方向に延びる複数の信号電極と、該複数の走査電極と該複数の信号電極の各交点に配置された表示素子とを備え、前記表示素子をマトリクス状に配置して画面を構成するようにした表示装置において、

前記走査電極に、前記複数の表示素子のうち少なくとも 1 行の表示素子を所定期間選択するための選択電圧が印加する走査ドライバと、

入力映像信号に基づいて、前記表示素子を駆動させるための、互いに異なる値を持つ第 1 及び第 2 の駆動信号を生成可能な駆動信号発生器とを備え、

前記走査ドライバからの選択電圧によって定まる前記 1 行の表示素子の選択期間において、前記駆動信号発生器からの第 1 及び第 2 の駆動信号に基づいて得られた駆動電圧を、前記信号電極に順次印加するようにしたことを特徴とする表示装置。

【請求項 6】

画面水平方向に延びる複数の走査電極と、画面垂直方向に延びる複数の信号電極と、該複数の走査電極と該複数の信号電極の各交点に配置された表示素子とを備え、前記表示素子をマトリクス状に配置して画面を構成するようにした表示装置において、

前記走査電極に、前記複数の表示素子のうち少なくとも 1 行の表示素子を所定期間選択するための選択電圧を印加する走査ドライバと、

入力されたデジタル映像信号のビット数を変換して、前記表示素子を駆動させるための、互いに異なる値を持つ第 1 及び第 2 の駆動信号を生成可能な駆動信号発生器と、

前記走査ドライバからの選択電圧の出力期間によって定まる選択期間内の第 1 の期間に、前記駆動信号発生器からの第 1 の駆動信号を、該選択期間の第 2 の期間に前記駆動信号発生器からの第 2 の駆動信号をそれぞれ出力する切換器と、

前記切換器から出力された第 1 及び第 2 の駆動信号をそれぞれアナログ信号に

変換して、第 1 及び第 2 の駆動電圧として前記信号電極に印加する D / A 変換器と、を備えることを特徴とする表示装置。

【請求項 7】

前記表示素子は、電子を注入する電子注入素子と、該電子注入素子からの注入電子(又は正孔)が照射されて発光する発光層とを含み、前記電子注入素子の注入電子(又は正孔)量が、接続された前記走査電極に印加される選択電圧、及び前記信号電極に印加される駆動電圧により制御されることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記選択期間内の第 1 の期間と前記第 2 の期間とを、互いにその時間幅を異ならせたことを特徴とする請求項 6 の表示装置。

【請求項 9】

前記選択期間内の第 1 の期間を前記第 2 の期間よりも短くし、

暗い階調の表示を行う場合は、該第 2 の期間に印加する前記第 2 の駆動電圧をほぼ非発光の一定レベルとし、かつ該第 1 の期間に印加する前記第 1 の駆動電圧を変化させて階調制御を行い、

明るい階調の表示を行う場合は、該第 1 の期間に印加する前記第 1 の駆動電圧をほぼ最大発光の一定レベルとし、かつ該第 2 の期間に印加する前記第 2 の駆動電圧を変化させて階調制御を行うようにしたことを特徴とする請求項 6 の表示装置。

【請求項 10】

入力映像信号の特徴を抽出する抽出回路を更に備え、該抽出回路の特徴抽出結果に応じて、前記第 1 及び第 2 の期間の長さ、またはそれぞれの分割期間における駆動電圧の範囲を変化させることを特徴とする請求項 6 の表示装置。

【請求項 11】

明るさ又はコントラスト設定器を更に備え、該明るさ又はコントラスト設定値に応じて、前記第 1 及び第 2 の期間の長さ、またはそれぞれの分割期間における駆動電圧の範囲を変化させることを特徴とする請求項 6 の表示装置。

【請求項 12】

前記駆動信号発生器が、前記第 1 及び第 2 の分割期間に印加される第 1 及び第 2 の駆動電圧の組合せに起因する、階調特性の不連続性を補正する機能を備えた階調補正回路であることを特徴とする請求項 6 の表示装置。

【請求項 1 3】

前記駆動信号発生器は、前記デジタル映像信号のビット数よりも多いビット数を持つ信号に変換して前記第 1 及び第 2 の駆動信号を生成することを特徴とする請求項 6 の表示装置。

【請求項 1 4】

前記駆動信号発生器から出力された前記第 1 及び第 2 の駆動信号のビット数の合計が、前記デジタル映像信号のビット数よりも多いことを特徴とする請求項 6 の表示装置。

【請求項 1 5】

前記駆動信号発生器から出力された前記第 1 及び第 2 の駆動信号の、それぞれのビット数が、前記 D / A 変換器が対応可能なデジタル信号のビット数と等しいことを特徴とする請求項 6 に記載の表示装置。

【請求項 1 6】

前記走査ドライバは、前記複数の表示素子を 2 行づつ、画面垂直方向に順次選択するための選択電圧を出力することを特徴とする請求項 6 に記載の表示装置。

【請求項 1 7】

前記走査ドライバは、前記複数の表示素子を 2 行づつ、かつそのうち 1 行が異なる選択期間で重複するように、画面垂直方向に順次選択するための選択電圧を出力することを特徴とする請求項 6 に記載の表示装置。

【請求項 1 8】

前記走査ドライバは、画面上半分に位置する前記複数の表示素子の少なくとも 1 行と、画面上半分に位置する前記複数の表示素子の少なくとも 1 行とを同時に選択するための選択電圧を出力することを特徴とする請求項 6 に記載の表示装置。

【請求項 1 9】

画面水平方向に延びる複数の走査電極と、画面垂直方向に延びる複数の信号電

極と、該複数の走査電極と該複数の信号電極の各交点に配置された表示素子とを備え、前記表示素子をマトリクス状に配置して画面を構成するようにした表示装置に用いられ、前記表示素子を駆動するための駆動電圧を前記信号電極に印加する信号ドライバにおいて、

n ビット ($n \geq 8$) の階調信号入力端子と、前記走査電極の選択期間を m 個 ($m \geq 2$) に分割したどの期間にあるのかを示す信号を入力する端子と、 k 個 ($k \leq (2 \text{ の } n \text{ 乗}) / m$) の電圧レベルを出力する手段と、 n ビットの階調信号と分割期間指示信号から所定の k 個の電圧 (又は電流) レベルのどれを選択するかを決める信号変換器を設けたことを特徴とする信号ドライバ。

【請求項 2 0】

互いに対向して配置された背面基板と前面基板とを有し、

前記背面基板に、画面水平方向に延びる複数の走査電極と、画面垂直方向に延びる複数の信号電極と、該複数の走査電極と該複数の信号電極の各交点に配置された電子を放出するための複数の電子放出素子とが設けられ、前記前面基板に、前記電子放出素子からの電子が照射されて発光する蛍光体が設けられ、前記背面基板と前面基板との間に、その両基板間に空間を形成するためのスペーサを設けた表示装置において、

1 本の前記走査電極が、2 行の前記電子放出素子群と接続され、該 2 行の電子放出素子群はそれぞれ異なる信号電極と接続されるとともに、

前記スペーサは、前記走査電極上で、前記 2 行の電子放出素子群のほぼ中央に配置されることを特徴とする表示装置。

【請求項 2 1】

異なる走査電極上に立つ 2 個のスペーサが、互いに支持体により結合されて箱型スペーサを構成し、

前記支持体は前記スペーサの高さより低く、該支持体の底面部は該スペーサの底面部よりも前記走査電極の厚み以上高い位置にあることを特徴とする請求項 2 0 の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば表示素子として、マトリクス状に配置された電子放出素子と、この電子放出素子からの電子により発光する蛍光体とを用いた F E D (Field Emission Display) 等の平面型の表示装置に関する。

【0 0 0 2】

【従来の技術】

電子放出素子として、上部電極－絶縁膜－下部電極の 3 層薄膜構造で構成される M I M (Metal-Insulator-Metal) 型電子源を用い、上部電極を列電極（信号電極）、下部電極を行電極（走査電極）に接続した F E D の駆動技術として、例えば特許文献 1 に記載のものが知られている。この文献には、一つの走査電極に 1 行の画素群を対応させ、該画素群を 1 行ずつ順次駆動することが記載されている。

【0 0 0 3】

第二の従来技術として、例えば特許文献 2 に記載のものが知られている。この文献には、順次駆動する一つの走査電極に 2 行の画素群を対応させる二重マトリクスの電極パターンを用いた液晶駆動回路が記載され、F E D にも適用できることが記載されている。

【0 0 0 4】

【特許文献 1】特開 2001－83907 号公報

【特許文献 2】特開 2002－341365 号公報

【0 0 0 5】

【発明が解決しようとする課題】

上記第一の従来技術は、1 行の画素群ずつ順次駆動するため、高解像度パネルでは 1 行の選択期間が短く、駆動のタイミング余裕が不足しやすい。更に、発光期間が短くなるため、高輝度化しにくい課題があった。

【0 0 0 6】

また、第一の従来技術では信号電極に印加する電圧（電子放出素子を駆動するための駆動電圧）の大きさを画像信号に合わせて適宜変えることにより、階調のある画像を表示している。高画質なテレビ映像を再現するには、上記駆動電圧の

基となるデジタル映像データのビット数(すなわち当該デジタル映像データをアナログの駆動電圧に変換するD/A(Digital to Analog)変換器の対応ビット数)が8～12bit相当であることが望まれる。しかしながら、信号電極に駆動電圧を印加するドライバとして、6～8bitのD/A変換器を持つものが一般的である。従って、一般的なD/A変換器を使用する場合、表示可能な階調数は64～256となり、これ以上の階調で表示することができない。よって、FEDにおいては、階調表示性能(ダイナミックレンジ)の一層の向上が望まれている。

【0007】

上記第二の従来技術を、例えば第一の従来技術に記載のFEDに適用した場合、2行の画素群を同時に駆動するので、各画素群の選択期間が2倍にでき、駆動のタイミング余裕を確保しやすく、発光期間も長くなるので高輝度化しやすい利点がある。しかしながら、これも上記した第一の従来技術のものと同様に、発光のダイナミックレンジが信号ドライバのD/A変換器の制約を受けるため、D/A変換器の対応ビット数で定まる階調数よりも多い階調数で表示を行うことができない。

【0008】

本発明は、上記の課題に鑑みて為されたものである。その目的は、階調表示性能を向上させて高輝度・高解像度な画像を表示可能にすることにある。具体的には、信号ドライバのD/A変換器の対応ビット数で定まる階調数よりも多い階調数で表示を可能として階調表示性能を向上させることを目的とする。

【0009】

また本発明の第2の目的は、高輝度化しつつ上記階調表示性能を向上させることを可能にすることにある。

【0010】

【課題を解決するための手段】

上記第1の目的を達成するために、本発明は、マトリクス状に配置された複数の表示素子(電子放出素子)の少なくとも1行を選択する選択期間(上記走査電極に選択電圧が印加されている期間)において、互いにレベルが異なる少なくとも2つの駆動電圧を、選択された表示素子に順次印加することを特徴とするもので

ある。すなわち、本発明は、上記選択期間を複数に分割し、この分割期間の各々において、異なるレベルの駆動電圧を上記選択された電子放出素子に印加するものである。

【 0 0 1 1 】

このような本発明の構成によれば、駆動される電子放出素子に対応する画素は、ほぼ(信号ドライバが出力可能な階調電圧出力数)×(選択期間の分割数)程度以上の階調表示数を実現できる。例えば、信号ドライバのD/A変換器が8bitで上記階調電圧出力数が256、上記分割数が2であれば、2×256で512の階調表示数を実現できる。すなわち、本発明によれば、信号ドライバのD/A変換器の対応ビット数で定まる最大階調表示数を超えて、多階調の表示が実現できる。

【 0 0 1 2 】

また、本発明の第2の目的を達成するために、上記本発明の構成に加え、複数行の電子放出素子を同時に駆動するようにしたことを特徴とするものである。同時駆動する行として、隣接する2行を同時に選択してもよい。また、その場合は、同時選択した2行のうち1つの行は、他の選択期間でも重複して選択するようにしてもよい。これにより、各行(に対応する画素)の選択期間を増やすことが出来るので、高輝度化しやすく、かつ該選択期間の分割による信号ドライバの高速動作速度を緩和することができる。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照しながら説明する。図1は、本発明が適用される表示装置の、画素配置／電極配線の第1の例を示すブロック図である。本実施形態の表示装置は、マトリクス状に配置された複数の画素(P11、P12、・・・)と、画面水平方向に延び、画面垂直方向に複数配列された行を形成する走査電極(S1、S2、・・・)と、画面垂直方向に延び、列を形成する信号電極(DO1、DE1、・・・)と、走査電極に、所望の行を選択するための選択電圧を印加する走査ドライバ201と、信号電極に画素を駆動するための駆動電圧を印加する信号ドライバ301を有している。複数の画素(P11、P12、・・・)は、それぞれ走査電極と信号電極との交点に配置され、か

つそれぞれの電極と接続されており、これらの電極を介して選択電圧並びに駆動電圧が供給される。図 1 では、水平 1 9 2 0 × 垂直 1 0 8 0 画素のうち、一部(4 × 4)の画素を拡大して模式的に表している。当然、全画素数は、1 9 2 0 × 1 0 8 0 に限られるものではない。

【 0 0 1 4 】

奇数行の走査電極 (S 1, S 3) に接続される画素は、奇数列の信号電極 (D O 1, D O 2, . . .) と接続され、偶数行の走査電極 (S 2, S 4) に接続される画素は、偶数列の信号電極 (D E 1, D E 2, . . .) に接続される。以下、画素 (P 1 1, P 1 2, . . .) として、特許文献 1 に記載されている M I M 型の電子放出素子(以下、単に M I M と呼ぶ)を用いた F E D を例にして、図 2 の各電極駆動波形を参照しつつ図 1 の動作について説明する。

【 0 0 1 5 】

F E D は、背面基板と前面基板とを備えており、この背面基板と前面基板は、互いに対向して配置される。背面基板には、図 1 に示したパターン及び上記の接続関係を以って、画素 (P 1 1, P 1 2, . . .) としての電子放出素子、走査電極 (S 1, S 2, . . .)、信号電極 (D O 1, D E 1, . . .)、走査ドライバ 2 0 1 及び信号ドライバ 3 0 1 が配置ないし形成されている。一方、前面基板には、背面基板においてマトリクス状に配置された複数の電子放出素子素子と各々対応するように、蛍光体が設けられる。蛍光体は、赤色光を発する R 蛍光体、緑色光を発する G 蛍光体、青色光を発する B 蛍光体の 3 つが用いられている。

【 0 0 1 6 】

M I M は、上部電極と下部電極とを備えており、この両電極間に駆動電圧を印加することにより高電界を絶縁膜に加えると、下部電極内の電子が絶縁膜内の伝導帯へ、さらには上部電極へ注入されてホットエレクトロンとなる。このホットエレクトロンのうち、高エネルギーを持った一部が上部電極を超えて真空中に放出される。この放出電子は、前面基板の蛍光体の近傍に配置された加速電極に印加される高電圧(3 ~ 6 k V 程度)によって加速され、各電子放出素子に対向して配置された蛍光体に入射する。蛍光体は、この入射された電子によって励起され、その発光特性に応じた色の光を発光する。上記下部電極には、走査電極 (S 1

、 S_2 、 \dots) が接続され、走査ドライバ 201 により選択電圧が印加される。また、上記上部電極は、信号電極 (DO_1 、 DE_1 、 \dots) が接続され、信号ドライバ 301 により駆動電圧が印加される。

【0017】

図 2 を用いて、図 1 に示したブロック図の動作を更に詳細に説明する。 $t_1 \sim t_3$ の期間において、走査ドライバ 201 は、画素 P_{11} の MIM の下部電極に接続された走査電極 S_1 に選択電位 V_{S1} を与える。同時に信号ドライバ 301 は、上部電極に接続された信号電極 DO_1 に電位 V_{D1} を与える。すると、MIM の絶縁膜には電圧 ($V_{D1} - V_{S1}$) が加わり、この電圧に応じた量の放出電子が蛍光体に照射されて画素 P_{11} が発光する。同じ走査電極 S_1 に接続された画素 P_{12} には、信号ドライバ 301 が信号電極 DO_2 に電位 V_{D0} を与え、MIM の絶縁膜に電圧 ($V_{D0} - V_{S1}$) が加わる。MIM のしきい値 (MIM が動作するのに必要な印加電圧の下限値) を超えないように電位 V_{D0} を設定すれば、MIM は動作しない (すなわちそれに対応する蛍光体は発光しない)。

【0018】

t_3 以降の期間は、信号電極 DO_1 に電位 $V_{D0} \sim V_{D1}$ いずれの電位を与えても MIM のしきい値を超えないように、走査電極 S_1 に非選択電位 V_{S0} を与える。このようにすれば、選択されていない行の MIM は、駆動電位 V_{D1} が印加されても動作しないため、対応する蛍光体は発光しない。

【0019】

このように、マトリクス状に配置された MIM のうち、走査ドライバによって選択電位 V_{S1} が印加された行 (走査電極 S_1 、 $S_2 \dots$ のうち 1 または 2 つの走査電極) に属する MIM が、動作用 MIM として選択され、動作可能状態となる。選択された MIM に、更に駆動電位を与えることにより、MIM は駆動電位に応じた量の電子を放出する。

【0020】

同様に、 $t_2 \sim t_4$ の期間において、2 行目の走査電極 S_2 が 1 行目の走査電極 S_1 より選択期間の半分の時間だけずれて選択電位 V_{S1} になる。 t_2 から t_3 の期間は、走査電極 S_1 と S_2 が同時に選択される期間となるが、それぞれに

属する画素群は、それぞれ奇数列の信号電極(DO1、DO2…)と偶数列の信号電極(DE1、DE2…)に接続されており、独立した表示ができる。以降、順次選択期間の半分の時間だけずれて順次選択動作を行い、各行の選択期間だけ独立に発光させることにより、任意の画像表示ができる。

【0021】

次に、本発明に係る階調表示の構成について説明する。信号ドライバ301として、例えば256段階の電圧出力ができる、いわゆる8bitのD/A変換機能を内蔵したドライバを使うと、256階調の表示ができることは自明である。本発明では、走査ドライバ201から出力される選択電圧の出力期間(すなわち選択電位の V_{S1} 幅)によって定まるMIMの選択期間を2分割し、その前半期間と後半期間とで、それぞれ異なる256階調の駆動電圧を独立して与えている。これにより、表示できる階調数は信号ドライバの持つ電圧出力数のほぼ2倍の511階調表示が可能となる。

【0022】

ある1行の選択期間内において、互いにレベルが異なる(それぞれが独立してレベル調整可能な)少なくとも第1及び第2の駆動電圧を当該行のMIMに与えると、人間の目には、第1の駆動電圧によって表される発光と第2の駆動電圧によって表される発光とが加算されて見える。従って、第1及び第2の駆動電圧の1つによって表される階調数が k (発光量0, 1, 2…, $k-1$)であっても、選択期間に与えられる駆動電圧が2つであれば、それらが加算されるので、 $2k-1$ (発光量0, 1, 2…, $k-1$, k , $k+1$ …, $2k-2$)の階調数で画像を表現できる。よって、選択期間を分割してそれぞれに与える駆動電圧の数が増えると、ほぼその分割数(駆動電圧数)倍、階調数を多くすることができる。尚、画素P32と画素P42は、それぞれ選択期間の前半期間 T_a だけで表示する場合の例を示している。

【0023】

また、前半期間 T_a と後半期間 T_b を均等にするのではなく、配分比を変えることにより、分割数は変えないままで、発光のダイナミックレンジをさらに増やすことができる。ここでは、発光のダイナミックレンジを、無発光の次の階調発

光を意味する最小輝度と最大輝度との比と定義している。例えば、前半期間 T_a と後半期間 T_b との比率を 1 : 2 のとすれば、ダイナミックレンジとしては 3 倍確保できる。この場合、最大輝度に近い階調表示では 1 階調当りの輝度差が、低輝度部に比べて 2 倍に大きくなってしまいが、表示輝度が高いため相対的には問題無い。

【 0 0 2 4 】

信号ドライバ 3 0 1 の出力電圧波形と階調の割当例を図 3 に示す。長い後半期間 T_b では電圧レベル 0 を、短い前半期間 T_a では電圧レベル 0 ~ 2 5 5 を出力し、0 から 2 5 5 階調の発光を得る。また、2 5 5 ~ 5 1 0 階調の発光は、前半期間 T_a では常に電圧レベル 2 5 5 を出力し、後半期間 T_b では電圧レベル 0 ~ 2 5 5 を出力することによって、2 5 5 ~ 5 1 0 階調の発光を得るものである。

【 0 0 2 5 】

低輝度部(暗い画像領域)においては、長い方の分割期間(後半期間 T_a)に与えられる駆動電圧を 0 とし、短い方の分割期間(前半期間 T_b)に与えられる駆動電圧を変化させることにより、隣接階調における輝度差が小さく出来るので、きめ細かな階調表示ができる。一方、高輝度部(明るい画像領域)においては、短い方の分割期間(前半期間 T_b)に与えられる駆動電圧を最大値とし、長い方の分割期間(後半期間 T_a)に与えられる駆動電圧を変化させている。このため、隣接階調における輝度差が大きくなるが、輝度そのものが高く、変化率としては小さいので、視感上の問題はほとんど無い。すなわち、本発明では、画像の輝度に応じて、前半期間 T_a と後半期間 T_b のいずれか一方を、階調の制御に優先的に使用しているものである。また、2 5 5 番目の階調を境にして、1 ステップ当たりの輝度差が変わるものの、発光量の単調増加性は確保される利点がある。1 ステップ当たりの輝度差の変化は、LUT (Look Up Table) 等を用いた階調補正回路(いわゆるガンマ補正回路等)で補正することができる。

【 0 0 2 6 】

図示していないが、後半期間 T_b に与えられる駆動電圧(又は電流)範囲を前半期間 T_a に与えられる駆動電圧(又は電流)範囲以上に広げることによっても、1 ステップ当たりの輝度差を変えることもできる。また、 T_a 期間と T_b 期間の

長さが等しく、かつ電圧（又は電流）範囲が同程度であっても、蛍光体に印加する放出電子加速用の高電圧を T_b 期間で高くすることでも同様な効果がある。

【0027】

尚、前半期間 T_a と後半期間 T_b の幅を同一に設定した場合でも、駆動波形のなまり等のため、前半期間 T_a だけ発光させた場合に比べて、前半期間 T_a に加えて後半期間 T_b も連続して発光させた場合の明るさが2倍以上になることがある。この輝度ステップの差も、上記した階調補正回路があれば補正できる。

【0028】

さて、図2に示した駆動波形では、クロストークを防ぎ、かつ安定な表示階調を得るために、 t_2 において走査電極 S_2 が選択電位 V_{S1} へ移行し始めて選択状態に移った後、遅れて信号電極 DE_1 が電位 V_{D1} へ移行している。また、 t_3 で走査電極 S_2 が非選択電位 V_{S0} へ移行し始める前に、信号電極 DE_1 が電位 V_{D0} へ移行を終わっている。すなわち、走査ドライバ201の出力変化開始のタイミング（ t_1 、 t_2 、・・・）に対し、信号ドライバ301の立ち上りは、所定時間遅れ、立下りは所定時間早めに行うようにすれば、駆動システムとして余計なタイミングを設定する必要がなくなる利点がある。この場合、1行の選択期間の半分が長い後半期間 T_b となり、前半期間 T_a は後半期間 T_b より走査電極波形の遅延や波形なまり相当の期間を差し引いた時間に設定すると良い。

【0029】

この例では、発光期間を前半期間 T_a と後半期間 T_b の2つの期間に分割しているが、前述したように、3個以上の期間に分割すれば、さらに表示のダイナミックレンジを増やすことができることは言うまでもない。

【0030】

図4は、本発明に係る表示装置（パーソナルコンピュータ用のモニタ、テレビジョン受像機等）の一実施形態を示すもので、図1に示された信号ドライバ301とそれに与える信号を生成する信号処理システムの一例を示すブロック図である。図1の信号ドライバ301は、奇数信号電極群（ DO_1 、 DO_2 ・・・）と偶数信号電極群（ DE_1 、 DE_2 ・・・）をそれぞれ駆動する信号ドライバ320と330とを含んでいる。信号ドライバ320と330は同一構成であり、入力信号を各列

へ分配するデータ分配回路 3 2 1 と、その信号を一時記憶するラッチ 3 2 2、ラッチ 3 2 2 に記憶されたデジタル信号を所定のアナログ電圧に変換する D/A 変換回路 3 2 3 とを有している。以下、この信号処理システムの動作を説明する。

【 0 0 3 1 】

この表示装置は、アナログ映像信号とデジタル映像信号の両方を入力もしくは受信可能な構成としている。入力アナログ映像信号は、A/D (Analog to Digital) 変換器 3 1 1 でデジタル化される。一方、入力デジタル映像信号は、デジタルデコーダを含む受信インターフェース(Rx) 3 1 2 で復号化される。A/D 変換器 3 1 1 の出力信号と受信インターフェース 3 1 2 の出力信号は、それぞれスイッチ 3 1 3 に入力される。そして、そのいずれか 1 つがスイッチ 3 1 3 により選択されて駆動信号発生器である階調補正回路 3 1 4 に供給される。選択された映像信号(デジタル形式の映像信号信号)は、例えば LUT (Look Up Table) で構成される階調補正回路 3 1 4 で表示装置の表示階調と映像信号が対応するよう、 γ 補正などの階調補正がなされる。

【 0 0 3 2 】

ここで、階調補正回路 3 1 4 は、スイッチ 3 1 3 から出力されたデジタル映像信号のビット数を変換して 2 つの駆動信号を生成する機能を有している。例えば、信号ドライバ 3 2 0 と 3 3 0 に内蔵される D/A 変換回路 3 2 3 の対応ビット数が 8 bit の場合、本実施形態の階調補正回路 3 1 4 は、上記デジタル映像信号のビット数を 16 bit の信号に変換する。すなわち、階調補正回路 3 1 4 は、これに入力されたデジタル映像信号よりのビット数よりも多いビット数の信号に変換する機能を備えるものである。この変換された 16 bit の信号は、前半期間 T_a において信号電極に与えられる駆動電圧の基となる 8 bit の第 1 の駆動信号と、後半期間 T_b において信号電極に与えられる駆動電圧の基となる 8 bit の第 2 の駆動信号とに分けられる。中間階調である 255 を境にして、それ以下の階調の場合は、第 1 の駆動信号は入力映像信号に応じた任意の値を持ち、第 2 の駆動信号の各ビットは全て “0” となる。また、それ以上の階調の場合は、第 2 の駆動信号は入力映像信号に応じた任意の値を持ち、第 1 の駆動信号の各ビットは全て “1” (すなわち 255) となる。

【 0 0 3 3 】

このような階調補正回路 3 1 4 の動作によって、前述した図 3 の説明のように、前半期間 T_a と後半期間 T_b とに各々対応した第 1 及び第 2 の駆動信号を得ることができる。そして、前半期間 T_a に対応する第 1 の駆動信号は、階調補正回路 3 1 4 の下側の端子から出力し、切換器であるスイッチ 3 1 6 の左側端子と、同じく切換器であるスイッチ 3 1 7 の右側端子へそれぞれ供給される。一方、後半期間 T_b に対応する第 2 の駆動信号は、階調補正回路 3 1 4 の上側の端子から出力し、ラインメモリ 3 1 5 に入力される。ラインメモリ 3 1 5 は、第 2 の駆動信号を前半期間 T_a に相当する時間分遅延させた後、スイッチ 3 1 6 の右側端子と 3 1 7 の左側端子へ供給する。

【 0 0 3 4 】

スイッチ 3 1 3 で選択された映像信号は、特徴抽出回路 3 1 9 で映像信号の白ピークレベルや平均輝度レベル、明るさ別のヒストグラムなどの特徴を抽出し、その抽出結果を T_b / T_a 制御回路 3 1 8 に与える。 T_b / T_a 制御回路 3 1 8 は、特徴抽出回路 3 1 9 の抽出結果に基づいて、 T_b と T_a 期間の時間配分等を制御して最適の絵作りを行う。例えば、暗い絵が主体の映像を表示する場合は、前半期間 T_a を短くする制御を行う。逆に、明るい絵が主体の映像を表示する場合は、前半期間 T_a を長くし、前半期間 T_a と後半期間 T_b とが略等しくなるように、両方の期間を調整する。前述したように、後半期間 T_b と前半期間 T_a の時間配分だけでなく、後半期間 T_b と前半期間 T_a の期間における信号ドライバ駆動電圧（又は電流）範囲や蛍光体に与える高電圧等を制御してもよい。また、これらの制御に合わせて、階調補正回路 3 1 4 で生成される駆動信号レベルの変化範囲や補正特性を変えることで、さらに好ましい絵作りが可能となる。尚、前半期間 T_a と後半期間 T_b の配分は、フレーム単位で切り換えたり、ライン単位で切り換えたりしてもよい。

【 0 0 3 5 】

また、図示していないが、明るさやコントラストをユーザがリモコン等で設定する際、映像信号レベルの補正だけでなく、後半期間 T_b と前半期間 T_a の時間配分や信号ドライバ 3 0 1 の駆動電圧（又は電流）範囲、蛍光体に与える高電圧等

を制御するとさらに良好な画像表示を実現できる。

【 0 0 3 6 】

T b / T a 制御回路 3 1 8 は、水平及び垂直同期等の同期信号から、例えば 2 水平走査周期を選択期間とし、さらに選択期間の前半期間 T a と後半期間 T b を示す制御信号を形成する。この制御信号は奇数行用と偶数行で 2 種類あり、偶数行は奇数行用より、ほぼ 1 水平走査周期遅れた信号波形と成る。これらの制御信号がスイッチ 3 1 6 と 3 1 7 を制御して、例えば t 1 ~ t 2 の期間において、ほぼ前半期間 T a だけ遅延した第 1 行向けの第 2 の駆動信号を信号ドライバ 3 2 0 へ、遅延しない第 2 行向けの第 2 の駆動信号を信号ドライバ 3 3 0 へ与える。これらの駆動信号がデータ分配回路 3 2 1 で各列へ分配される。そして、続く t 2 ~ t 3 の期間で、与えられた駆動信号をラッチ 3 2 2 で一時記憶して D / A 変換回路 3 2 3 でアナログの駆動電圧へ変換し、各信号電極 (D O 1, D O 2, . . .) に印加する。

【 0 0 3 7 】

t 2 ~ t 3 の期間において、スイッチ 3 1 6 と 3 1 7 は図示と逆の信号を選択する。遅延しない第 3 行向けの第 1 の駆動信号を信号ドライバ 3 2 0 へ、ほぼ前半期間 T a だけ遅延した第 2 行向けの第 2 の駆動信号を信号ドライバ 3 3 0 へ与える。これらの駆動信号は、データ分配回路 3 2 1 で各列へ分配され、続く t 3 ~ t 4 の期間で、ラッチ 3 2 2 で一時記憶される。そして、D / A 変換回路 3 2 3 でアナログの駆動電圧へ変換されて各信号電極 (D O 1, D O 2, . . .) に印加される。以下、同様に、順次選択動作を行う。

【 0 0 3 8 】

図 1 において、奇数列の信号電極を上方へ引出して信号ドライバ 3 2 0 へ接続し、偶数列の信号電極を下方へ引出して信号ドライバ 3 3 0 へ接続する構成とすれば、従来の単純マトリクス方式用信号ドライバをそのまま流用して、本発明を実施できる利点がある。

【 0 0 3 9 】

図 5 は、本発明に係る表示装置の第 2 の実施形態を示すものであり、図 1 の信号ドライバ 3 0 1 とそれに与える信号を形成する信号処理システムの一例を示す

ブロック図である。図5において、図1に示された信号ドライバ301は、奇数信号電極群(DO1、DO2…)と偶数信号電極群(DE1、DE2…)とをそれぞれ駆動する信号ドライバ340と350で構成されている。信号ドライバ340と350は同一構成であり、図4の信号ドライバ320と330のD/A変換回路323の直前に、切換器であるTa/Tb信号変換器324を設けた構成となっている。

【0040】

駆動信号発生器である階調補正回路314は、図4で示したものと同様に、デジタル映像信号のビット数を、信号ドライバの入力ビット数の信号に変換する機能を備えている。但し、図4に示した実施形態のものとは、変換後のビット数が異なっている。本実施形態では、8bitのデジタル映像信号を、9bitの信号に変換している。前半期間Taと後半期間Tbで共通の駆動信号として、例えば9bitの0～511階調を出力し、Ta/Tb信号変換器324でTa/Tb期間向けの信号を生成する。

【0041】

Ta/Tb信号変換器324の具体的構成の一例を示すブロック図を図6に、その真理値表を図7に示す。駆動信号が0～255（駆動信号の最上位bit：b8=0）の場合、Ta期間はb0～b7がそのまま出力され、Tb期間には“0”が出力される。駆動信号が256～511（駆動信号の最上位bit：b8=1）の場合、Ta期間は“1”（すなわち255）、Tb期間はb0～b7がそのまま出力される。すなわち、本実施形態では、階調補正回路314で変換された9bitの駆動信号の最上位bitを参照し、この値を基準にして前半期間Taと後半期間Tbとにそれぞれ振り分ける第1及び第2の駆動信号を決定するようにしているものである。但し、この場合、255と256の駆動信号は、信号ドライバの出力電圧波形が同一となる。このため、階調補正回路314は補正出力255と256が同一階調表示となることを考慮し、例えば255又は256の補正出力を使わないように、LUTデータ設定等を行う方が良い。

【0042】

図5の信号ドライバ340と350はそれぞれ奇数走査電極群に属する画素と

接続された奇数信号電極群、偶数走査電極群に属する画素と接続された偶数信号電極群の駆動を担当する。このため、 T_b/T_a 制御回路 3 1 8 がドライバ 3 4 0 と 3 5 0 を制御する制御波形は 1 行選択期間の半分（上記説明例では映像信号の 1 水平周期分）タイミングがずれた波形と成る。

【 0 0 4 3 】

図 5 のシステムでは、図 4 に比べて、 T_b/T_a 信号変換回路を含む専用水平ドライバを用意する必要がある。しかしながら、 T_b/T_a 信号変換回路の論理回路そのものは、比較的簡単に実現できる上、ラインメモリ 3 1 5 を必要としないので、回路規模を比較的小さく抑えることができる。よって、図 4 に示した実施形態に比べ、コスト等の点で有利がある。

【 0 0 4 4 】

図 8 は、本発明が適用される表示装置の、画素配置／電極配線の第 2 の例を示すブロック図である。また、図 9 はその各電極駆動波形例を示す波形図である。図 1 の例では、各行毎に走査電極を配しているのに対し、図 8 の例では、2 行分を同一の走査電極で駆動している。これにより、走査電極の本数を低減し、製造工程の歩留まり向上を図っている。走査電極ドライバ 2 0 2 は、図 1 に示した走査電極ドライバ 2 0 1 の出力数の半分で良い。図 2 の駆動波形例に対し、図 9 の駆動波形例では奇数行の画素に接続された奇数列信号電極 $D_0 1$ と $D_0 2$ の波形を 1 水平走査周期遅延させている。この遅延信号を得るため、信号処理回路にはラインメモリ相当の回路が必要となる。

【 0 0 4 5 】

図 1 0 は、図 8 の例における、電子放出素子を形成した背面基板の電極パターン例を示すレイアウト図、図 1 1 はスペーサ付き背面基板の斜視図である。背面基板は、ガラス基板 4 2 1 と走査電極 4 2 2、信号電極 4 2 3、電子放出素子 4 2 4 とを備えている。

【 0 0 4 6 】

F E D を構成するには、背面基板に対向する蛍光体と陽極電極を形成した前面基板（図示せず）が必要である。ムラのない均一な画像表示を実現するために、背面基板と前面基板の例えば高さ 2 m m 程度のスペーサ 4 1 0 を形成して一な間

隔を維持することがある。このスペーサ 4 1 0 は、背面基板から飛び出した電子の行程を妨げないよう、画素を避けて配置される。画素間隔が 0. 3 mm 程度の場合、スペーサ 4 1 0 は厚み 0. 0 5 ~ 0. 1 mm 程度で高さ 2 mm 程度となる。この薄くて高いスペーサ 4 1 0 を垂直に立てるため、図 1 1 に示すように、2 つのスペーサをスペーサと同程度以下の厚みを持つ支持体 4 1 1 で予め結合し、箱型形状としておけば都合が良い。

【 0 0 4 7 】

しかし、一部の電子はスペーサにぶつかり、スペーサに電荷が蓄積されることがある。この電荷を逃がすため、スペーサの表面にわずかに導電性を持たせるとともに、スペーサを走査電極上に配置している。本発明によれば、2 行の画素群を 1 つの走査電極で選択できるため、一つ一つの走査電極の幅を、図 1 のものに比べ広げることができる。従って、走査電極上に立てるスペーサとして、厚さの厚いものを採用することができる。このため、スペーサの強度を確保でき、さらにはスペーサと走査電極の合せ精度に余裕をとることが出来る。

【 0 0 4 8 】

F E D を組み立てる際、背面基板と前面基板に力を加えて接着するため、両基板間に入るスペーサは下地の走査電極に多少もぐり込むことになる。このため、走査電極は、クッションの役割を担うために比較的厚めに形成される。この際に配線パターンを傷つけない様、支持体 4 1 1 はスペーサ 4 1 0 の下端よりも走査電極の厚み程度以上浮かせて取り付けられている。また、支持体 4 1 1 の前面基板側は、電荷蓄積の影響を避けるため、スペーサ 4 1 0 より低くしてある。一般に、F E D は、画面垂直方向にストライプ状に赤と緑、青の画素を並べてフルカラー化するため、画素間隔は水平方向が狭く、垂直方向が広くなりがちとなる。よって、電子放出素子 4 2 4 からの電子は、水平方向の各画素間に存在するスペーサなどに蓄積された電荷の影響を受け、蛍光体に良好に入射されない可能性がある。よって、水平方向の画素間に配置される支持体 4 1 1 の厚さは、水平方向の画素間隔が狭いことを考慮して、スペーサ 4 1 0 より薄い方が良い。

【 0 0 4 9 】

図 1 2 は、本発明が適用される表示装置の、画素配置／電極配線の第 3 の例を

示すブロック図である。図 8 の例との差異は、偶数行の画素群が奇数行の画素群に対し、右方向に半画素間隔分ずらしている点と、奇数列の信号電極が上側に引出されて信号ドライバ 3 0 2 へ接続され、偶数列の信号電極が下側に引出されて信号ドライバ 3 0 3 に接続されている点である。

【 0 0 5 0 】

偶数行と奇数行で半画素ずらすことにより、見かけ上、水平方向の画素数が多くなるため、水平方向の解像度感を向上させる利点がある。また、信号電極を上下から引出すことにより、信号電極と信号ドライバの接続ピッチを大きく確保できるので接続性の向上が図れる。

【 0 0 5 1 】

図 1 3 は、本発明が適用される表示装置の、画素配置／電極配線の第 4 の例を示すブロック図で、図 1 4 はその各電極駆動波形例を示す波形図である。この例は、画面を上下 2 分割してそれぞれ独立に駆動する構成の表示装置に適用される。走査電極ドライバ 2 0 3 の出力数は表示装置の垂直方向画素数に等しく、走査電極 S U 1 と S D 1、S U 2 と S D 2 は同一波形で駆動している。上側走査電極（S U 1、S U 2）に接続された画素（P 1 1、P 1 2、・・・）は、上側信号ドライバ 3 0 4 駆動される上側信号電極（D U 1、D U 2、・・・）と接続される。同様に下側走査電極（S D 1、S D 2）に接続された画素（P 3 1、P 3 2、・・・）は、下信号ドライバ 3 0 5 駆動される上側信号電極（D U 1、D U 2、・・・）と接続される。図 1 3 の実施例は、図 8 の実施例における奇数行画素群を上側画面に、偶数行画素群を側画面に配置させたものと同等と見なすことができる。動作は同様であり、詳細説明は省略する。

【 0 0 5 2 】

図 1 3 の例によれば、信号処理にフレームメモリが必要となるものの、信号電極配線数を図 1 の例に比べて半減できる利点がある。図 1 4 の駆動波形例では、上側画面の下端の画素群と下側画面の上端の画素群を駆動するタイミングがずれるため、動画表示タイミングのずれが生じ、例えば左右に動く縦線が中央部で切れた縦線のように見える現象が生じる場合がある。この現象は、上側画面の下端の画素群と下側画面の上端の画素群を駆動するタイミングを合わせることにより

解決する。すなわち、上側画面と下側画面の走査方向をほぼ逆とすれば良い。

【 0 0 5 3 】

以上説明した本発明の実施形態においては、F E Dの電子放出素子として、M I M型のものを例として説明したが、スピント型、表面電動型、カーボンナノチューブ型等、様々なタイプの電子放出素子に適用できる。また、以上の説明では、表示装置としてF E Dを例にとって説明したが、本発明はF E Dに限定されることなく、E L D (Electro-Luminescent Display) やO L E D (Organic Light-Emitting Diodes) などを用いた表示装置などへも同様に適用できる。すなわち、電子を注入する電子注入素子と、該電子注入素子からの注入電子(又は正孔)が照射されて発光する発光層とを含み、前記電子注入素子の注入電子(又は正孔)量が、接続された前記走査電極に印加される選択電圧、及び前記信号電極に印加される駆動電圧により制御されるような構成の表示装置にも、本発明は適用可能である。

【 0 0 5 4 】

このように、本発明によれば、階調表示性能を向上させて高輝度・高解像度な画像を表示可能になる。よって、F E Dなどの平面型の表示装置において、高画質な画像を表示することが可能となる。

【 0 0 5 5 】

【発明の効果】

本発明によれば、高画質な画像を表示することができる。

【図面の簡単な説明】

【図 1】 本発明が適用される表示装置の、画素配置／電極配線の第 1 の例を示すブロック図。

【図 2】 本発明による表示装置の駆動波形図。

【図 3】 本発明による信号ドライバの階調表示例を示す駆動波形図。

【図 4】 本発明に係る表示装置の一実施形態を示すブロック図。

【図 5】 本発明に係る表示装置の他の実施形態を示すブロック図。

【図 6】 図 5 に示した T a / T b 信号変換器の一具体的例を示すブロック図。

【図 7】 図 5 に示した他の実施形態に用いられる T a / T b 信号変換器の動作

例を示す真理値表。

【図 8】 本発明が適用される表示装置の、画素配置／電極配線の第 2 の例を示すブロック図。

【図 9】 図 8 に示した例に用いられる駆動波形図。

【図 10】 図 8 に示した例の電極パターン図。

【図 11】 本発明に適用される背面基板とスペーサの斜視図。

【図 12】 本発明が適用される表示装置の、画素配置／電極配線の第 3 の例を示すブロック図。

【図 13】 本発明が適用される表示装置の、画素配置／電極配線の第 4 の例を示すブロック図。

【図 14】 図 13 に示した例に用いられる駆動波形図。

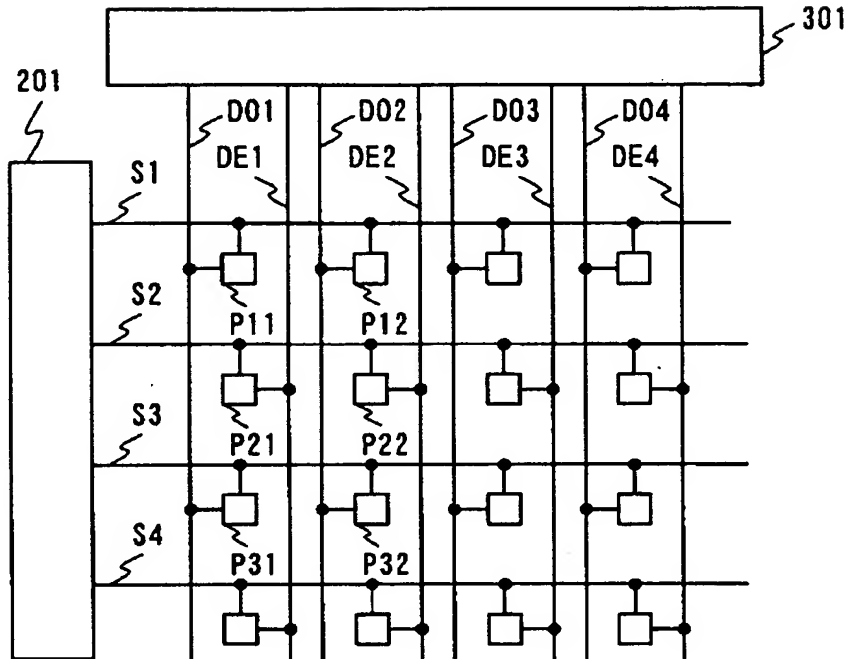
【符号の説明】

201～203…走査ドライバ、301～305…信号ドライバ、D01～D04…奇数列信号電極、DE1～DE4…偶数列信号電極、S1～S4…走査電極、P11～P42…画素、311…A/D変換器、312…Rx（受信インターフェース）、314…階調補正回路、315…ラインメモリ、319…特徴抽出回路、321…データ分配回路、322…データラッチ、323…D/A変換器、324…Ta/Tb信号変換器、318…Tb/Ta制御回路、341…排他的論理和、410…スペーサ。411…スペーサ支持体、421…ガラス基板、422…操作電極、423…信号電極、424…画素

【書類名】 図面

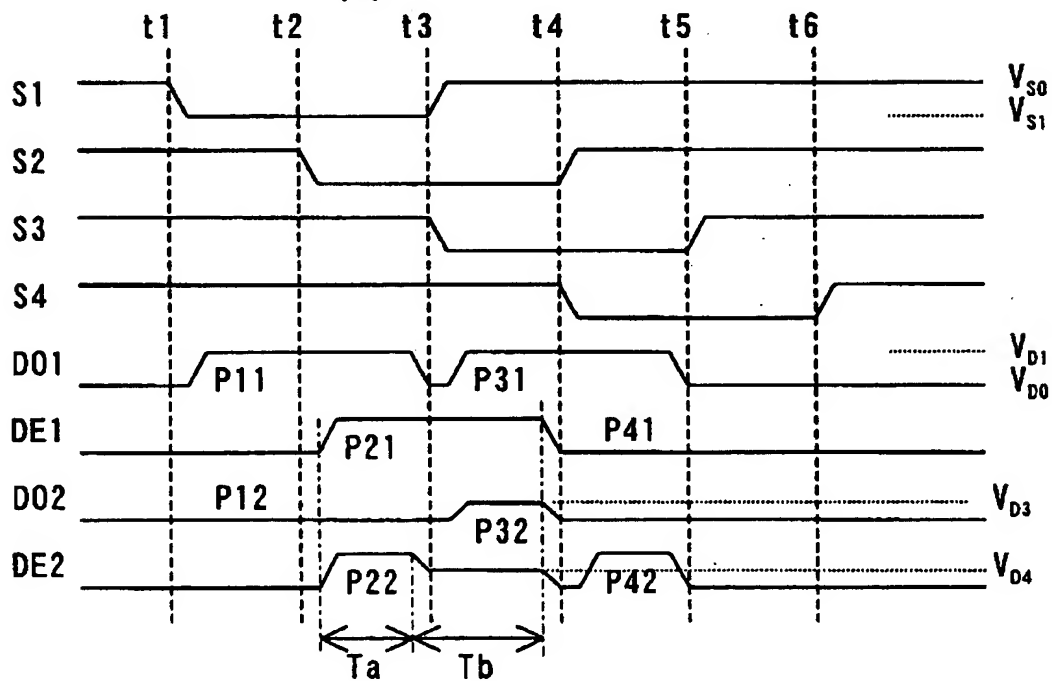
【図 1】

図 1

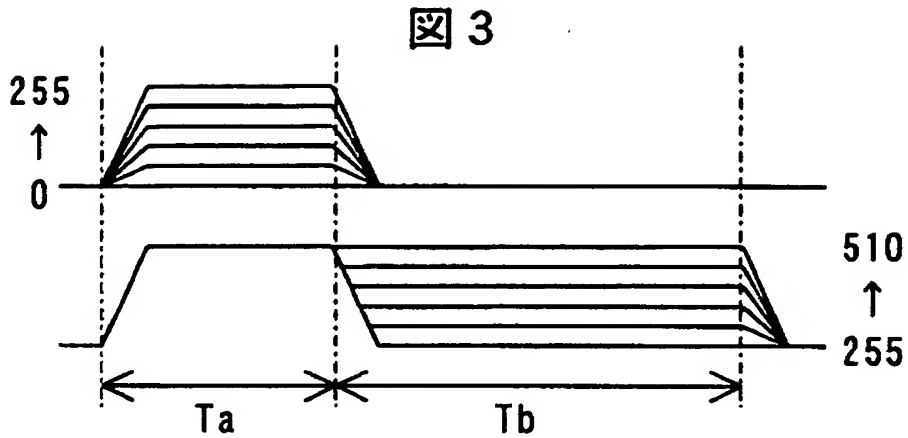


【図 2】

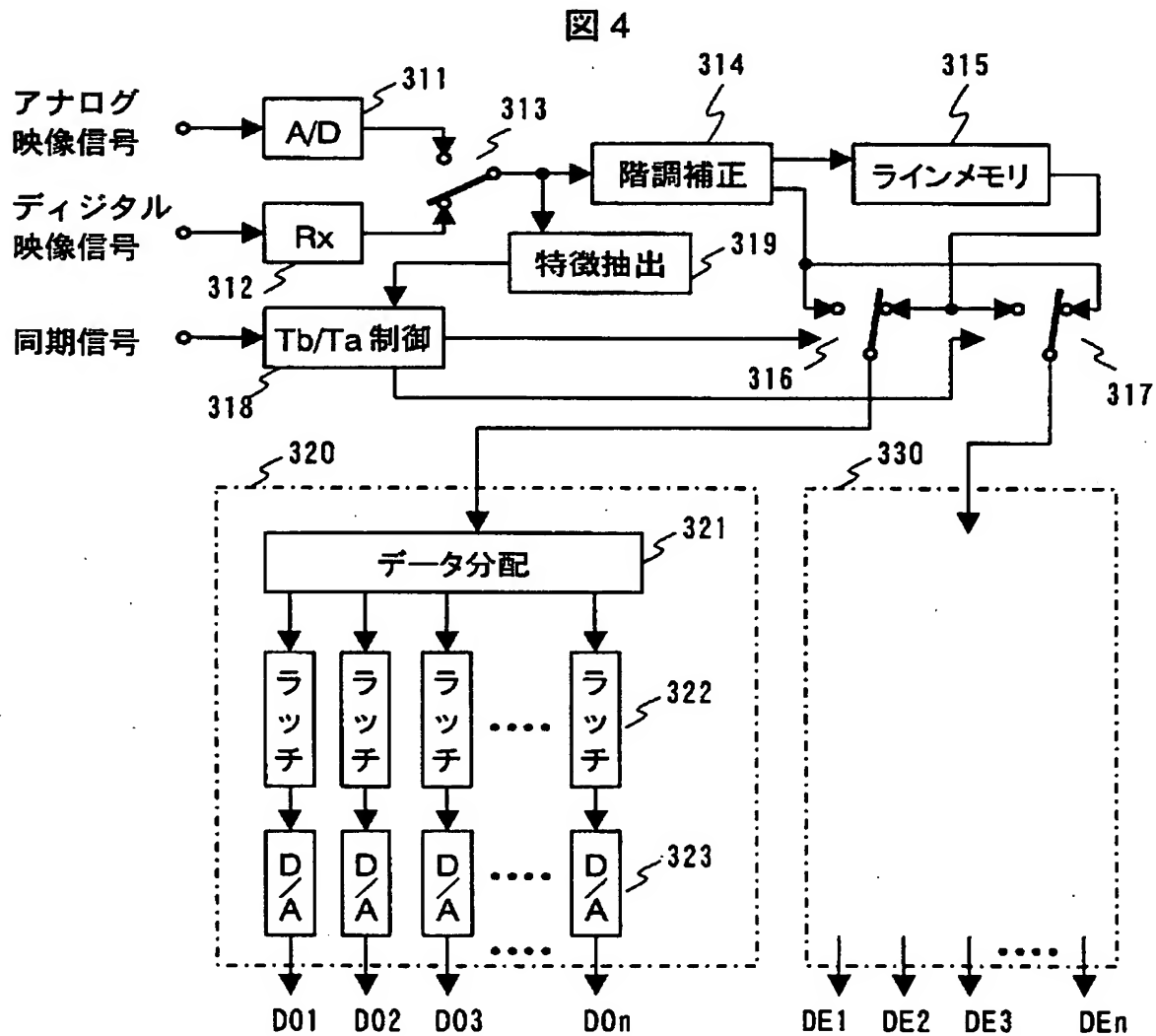
図 2



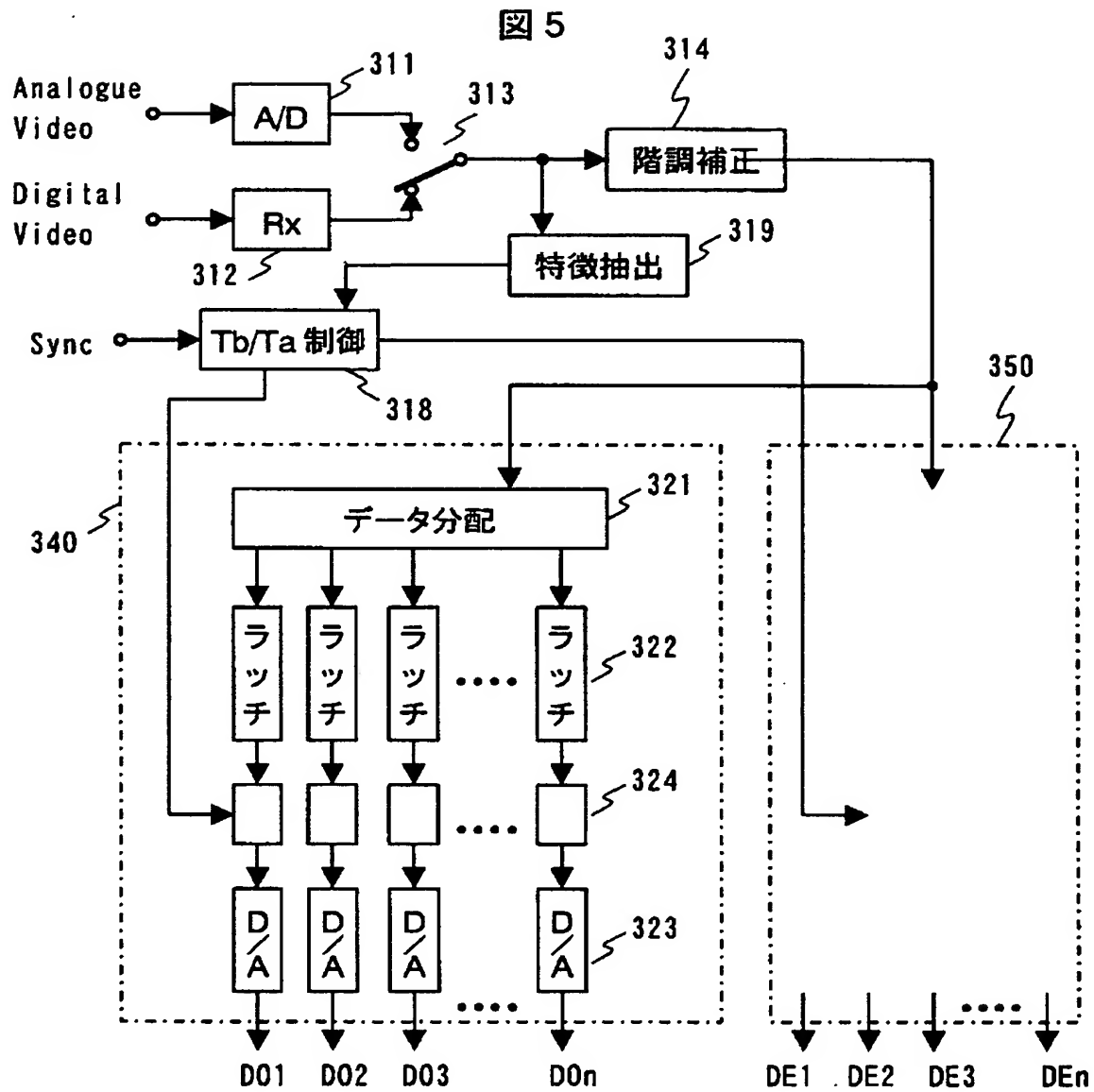
【図 3】



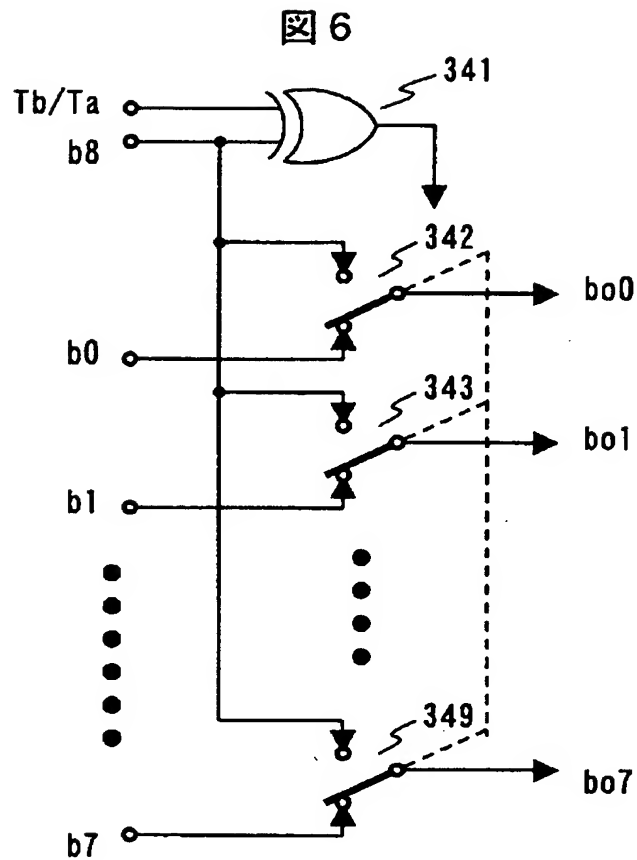
【図 4】



【図 5】



【図 6】



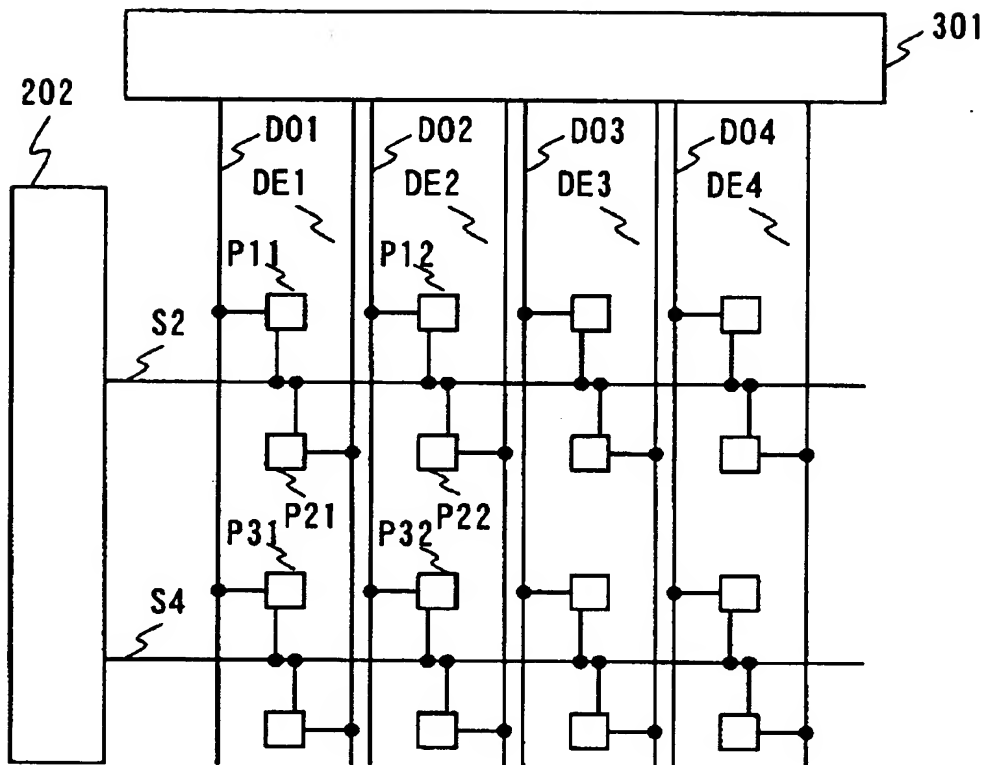
【図 7】

図 7

出力 ↓	b8	0		1	
	Tb/Ta	Ta 期間	Tb 期間	Ta 期間	Tb 期間
bo0		b0	0	1	b0
bo1		b1	0	1	b1
bo2		b2	0	1	b2
bo3		b3	0	1	b3
bo4		b4	0	1	b4
bo5		b5	0	1	b5
bo6		b6	0	1	b6
bo7		b7	0	1	b7

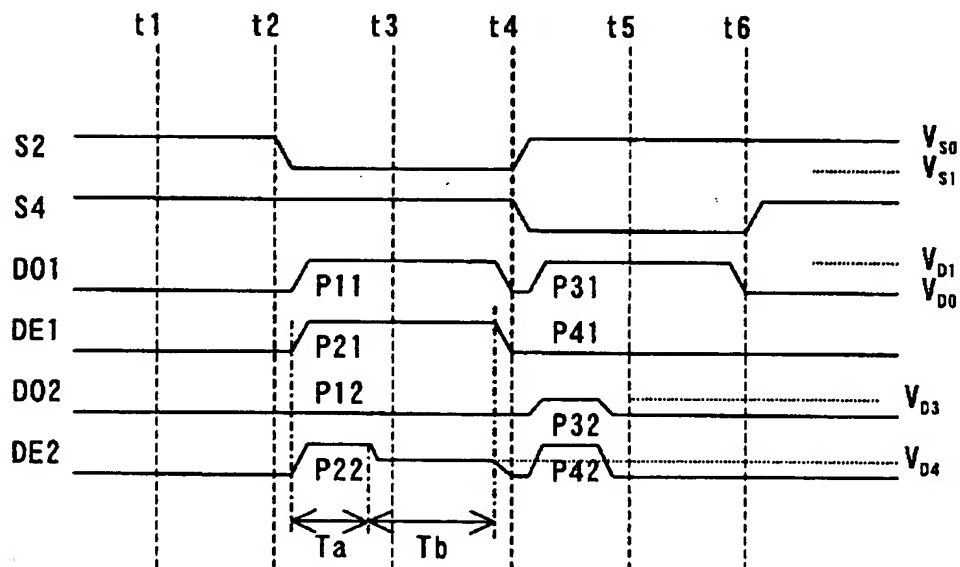
【図 8】

図 8



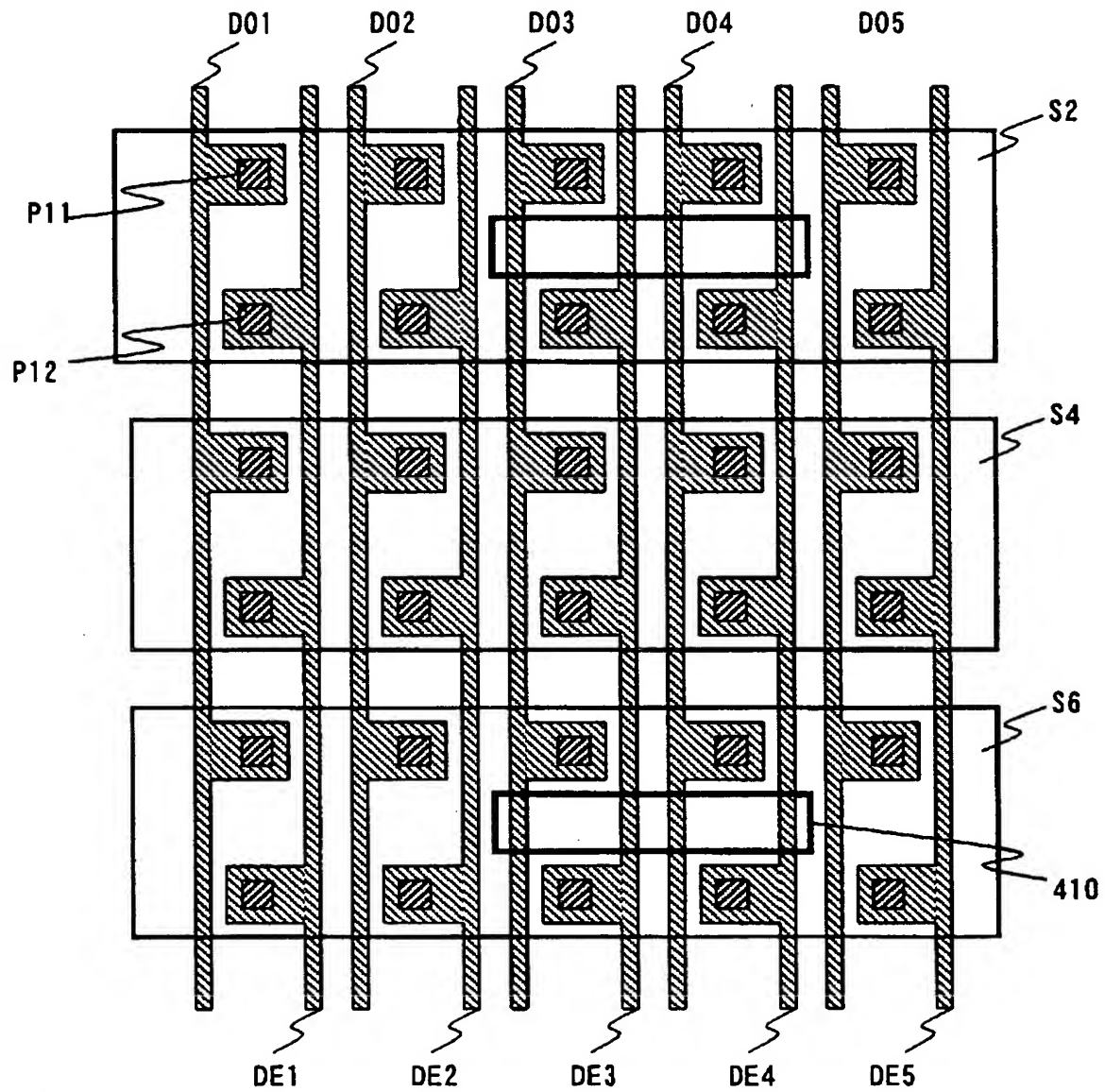
【図 9】

図 9

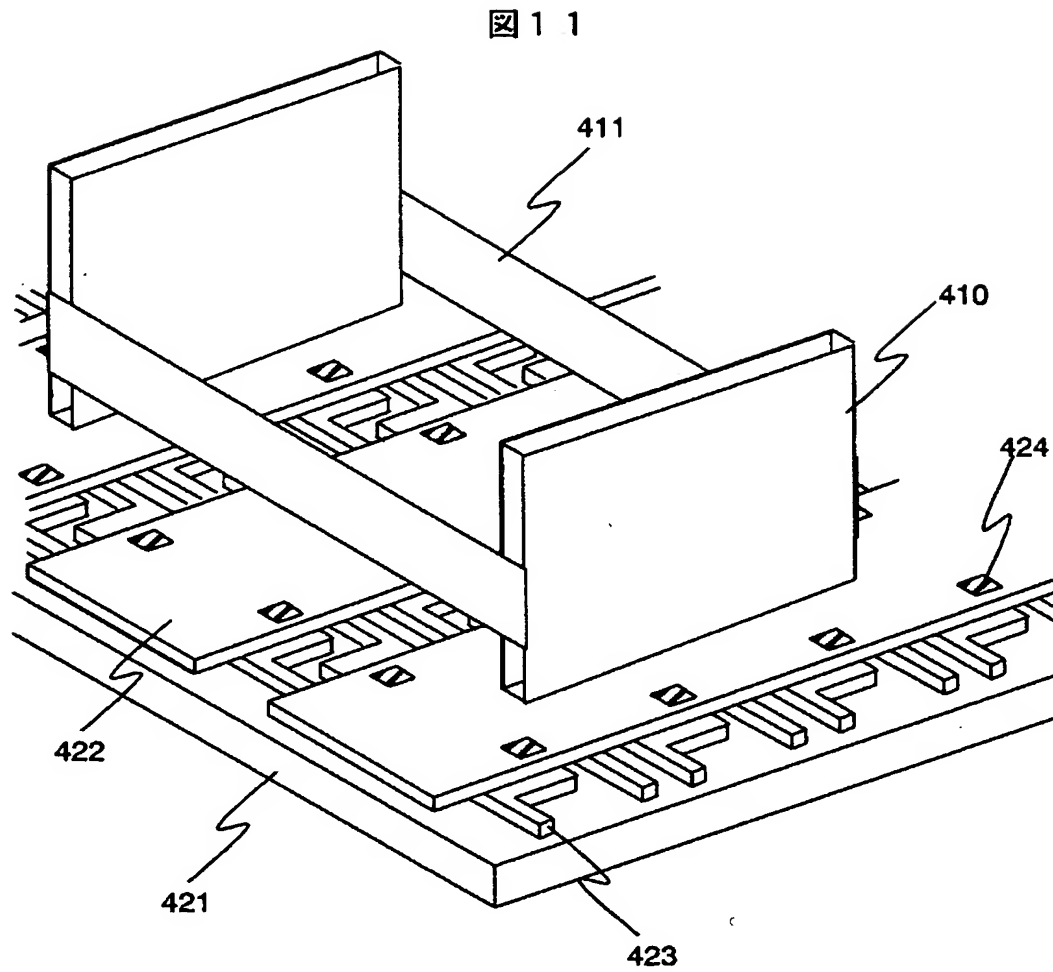


【図10】

図 10

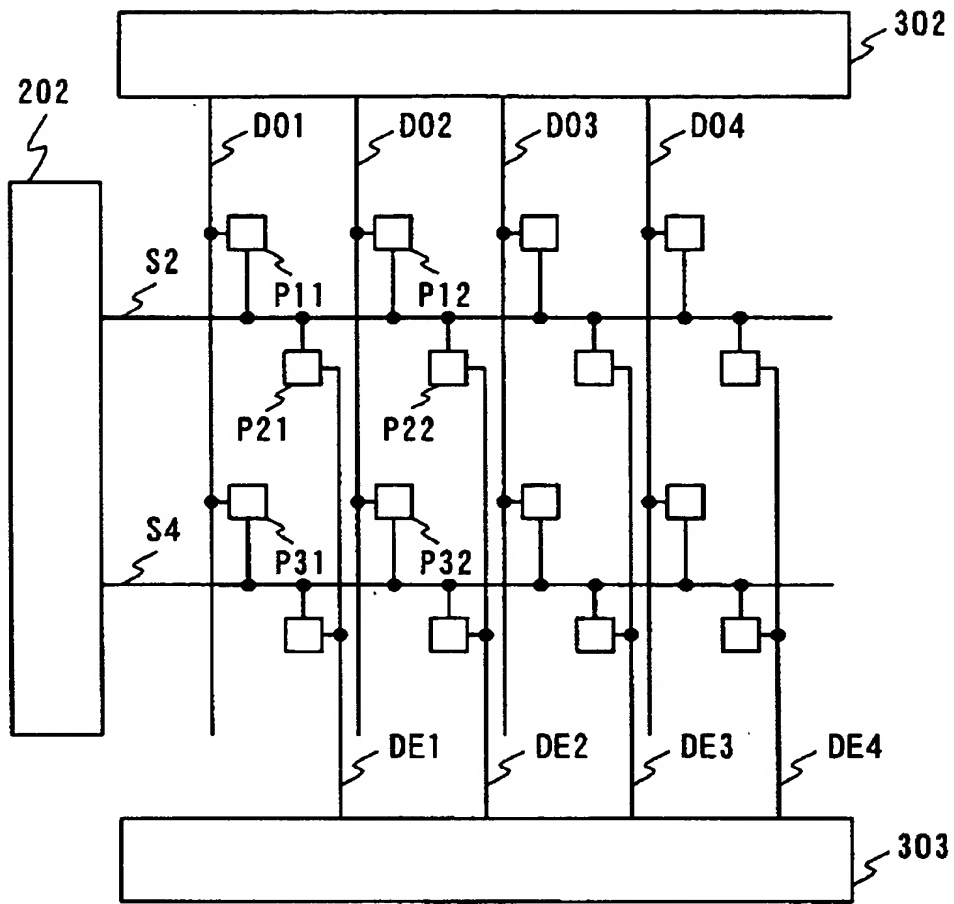


【図 1 1】



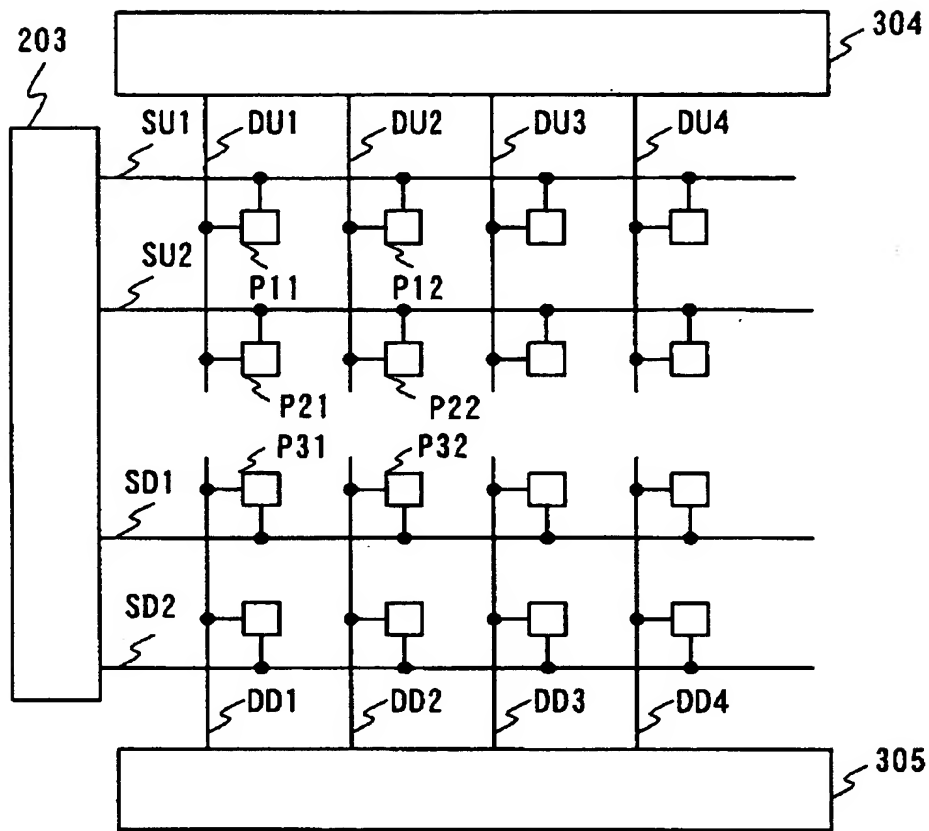
【図 12】

図 12



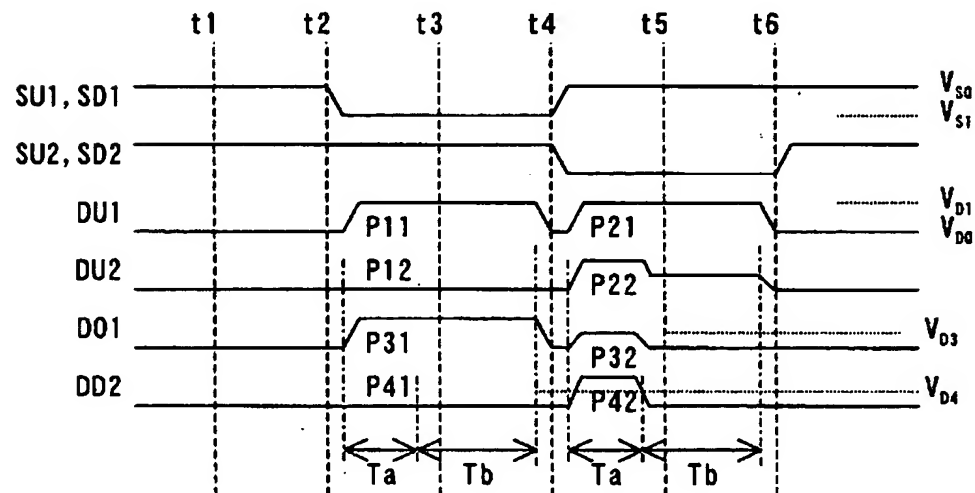
【図 13】

図 13



【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 信号ドライバが出力できる階調電圧（又は電流）出力数を超えたダイナミックレンジを有する高輝度・高解像度な表示装置を提供する。

【解決手段】 各行の画素群を駆動する選択期間を複数に分け、信号ドライバが、それぞれの該分割駆動期間で異なる電圧出力を信号電極経由で選択された画素に与える。該画素は、ほぼ（信号ドライバが出力できる階調電圧出力数）×（該分割数）程度以上の階調表示数を実現できる。分割時間比又は各分割期間の駆動電圧（又は電流）範囲を変えることによりさらに表示のダイナミックレンジを大きくできる。

【選択図】 図 2

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 3 - 0 7 9 3 4 9
受付番号	5 0 3 0 0 4 6 5 5 4 7
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 3 月 2 5 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月24日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地
氏 名 株式会社日立製作所